

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-004401  
 (43)Date of publication of application : 14.01.1994

(51)Int.CI. G06F 12/06  
 G06F 13/00  
 G06F 15/16

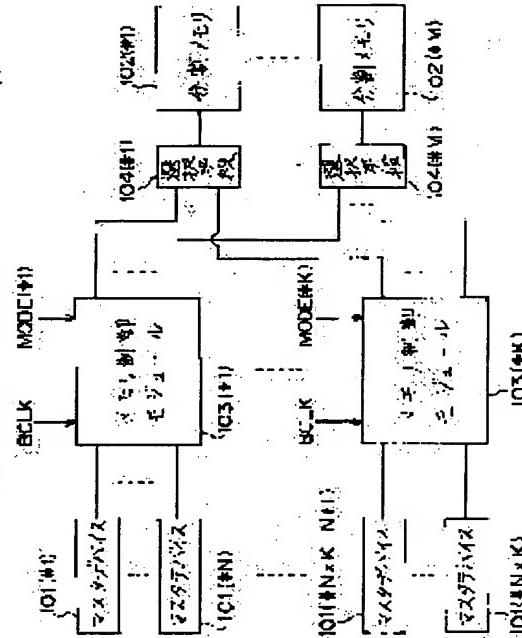
(21)Application number : 04-161495 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 19.06.1992 (72)Inventor : JINZAKI AKIRA

## (54) MEMORY ACCESS CIRCUIT

### (57)Abstract:

**PURPOSE:** To realize a function by which an arbitrary master device can access an arbitrary memory device at a high speed, by a simple circuit configuration, in a computer system.

**CONSTITUTION:** The memory access circuit for executing an access to an arbitrary one in M pieces of divided memories 102 from an arbitrary one in N × K pieces of master devices 101 is constituted of K pieces of memory control modules 103 for executing switching between N pieces of master devices 101 and M pieces of divided memories 102, respectively. Each memory control module 103 executes arbitration control, etc., of a competition of a memory access request from each master device 101. An interface opposed to each divided memory 102 in each memory control module 103 is selected so as to be connected successively to the divided memory 102 by a selecting means 104 provided at every divided memory 102.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-4401

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 12/06	5 5 0	9366-5B		
13/00	3 5 7 A	7368-5B		
15/16	4 0 0 M	9190-5L		

審査請求 未請求 請求項の数1(全20頁)

(21)出願番号	特願平4-161495	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成4年(1992)6月19日	(72)発明者	陣▲崎▼ 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 大曾 義之 (外1名)

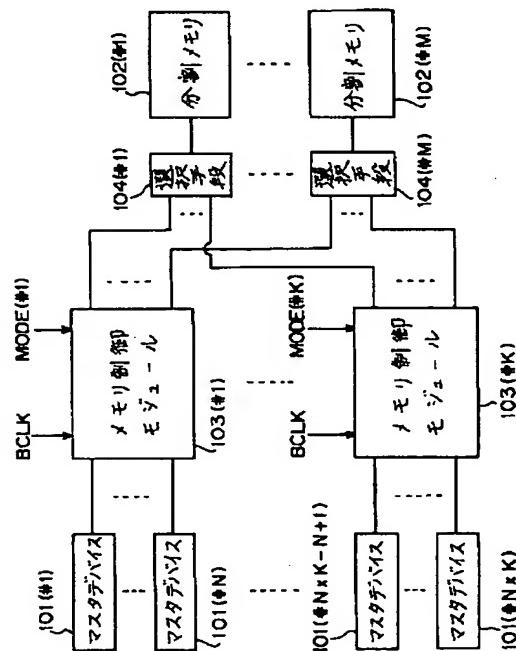
(54)【発明の名称】 メモリアクセス回路

(57)【要約】

【目的】 計算機システムで、任意のマスタデバイスが任意のメモリデバイスを高速にアクセスできる機能を、単純な回路構成で実現することを目的とする。

【構成】  $N \times K$  個のマスタデバイス 101 のうち任意のものから、M個の分割メモリ 102 のうち任意のものへのアクセスを行うメモリアクセス回路が、それぞれN個のマスタデバイス 101 とM個の分割メモリ 102 との間でスイッチングを行うK個のメモリ制御モジュール 103 により構成される。各メモリ制御モジュール 103 は、各マスタデバイス 101 からのメモリアクセス要求の競合の調停制御などを行う。各メモリ制御モジュール 103 における各分割メモリ 102 と対向するインターフェースは、分割メモリ 102 每に設けられる選択手段 104 により、順次分割メモリ 102 と接続されるよう選択される。

本発明のブロック図



## 【特許請求の範囲】

【請求項1】 第1の所定数 ( $N \times K$ ) のマスタデバイス (101) のうち任意のものから第2の所定数 (M) の分割メモリ (102) のうち任意のものへのアクセスを行なうメモリアクセス回路であって、  
それされ、

前記第1の所定数 ( $N \times K$ ) のマスタデバイス (101) のうち前記第1の所定数 ( $N \times K$ ) より少ない第3の所定数 (N) ずつの前記マスタデバイス (101) に対するインターフェースと前記第2の所定数の分割メモリ (102) に対応するインターフェースとを有し、

所定の動作クロック (BCLK) と所定のモード信号 (MODE) に基づいて動作し、

前記動作クロック (BCLK) の同じ位相において複数の前記マスタデバイス (101) から同一の前記分割メモリ (102) へのメモリアクセス要求がなされている場合には、所定の規則によって決定された優先順位に従って選択される前記マスタデバイス (101) からの前記メモリアクセス要求に基づいて、前記動作クロック (BCLK) の前記モード信号 (MODE) に基づいて指定される位相で、前記メモリアクセス要求に対応する前記分割メモリ (102) をアクセスし、

前記動作クロック (BCLK) の同じ位相において複数の前記マスタデバイス (101) から異なる前記分割メモリ (102) へのメモリアクセス要求がなされている場合には、該複数のマスタデバイス (101) からのそれぞれのメモリアクセス要求に基づいて、前記動作クロック (BCLK) の前記モード信号 (MODE) に基づいて指定される位相で、前記各メモリアクセス要求に対応する前記異なる分割メモリ (102) を同時にアクセスする。

前記第1の所定数 ( $N \times K$ ) より少ない第4の所定数 (K) のメモリ制御モジュール (103) と、

前記分割メモリ (102) 每に設けられ、それぞれ、該分割メモリ (102) と前記第4の所定数 (K) のメモリ制御モジュール (103) のそれそれにおける該分割メモリ (102) に対応するインターフェースとを、該インターフェースに対応する前記メモリ制御モジュール (103) が該分割メモリ (102) をアクセスする前記動作クロック (BCLK) の位相において選択的に接続する、前記第2の所定数 (M) の選択手段 (104) と、  
を有することを特徴とするメモリアクセス回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、計算機システムにおいて、複数のメモリデバイスとそれらにアクセスを行うプロセッサ、DMAチャネルなどの複数のマスタデバイスとを結合し、任意のマスタデバイスによる任意のメモリデバイスのアクセスを可能とするメモリアクセス回路に関する。

## 【0002】

【従来の技術】 計算機システムでは、プロセッサやI/O装置がメモリシステムへアクセスするが、プロセッサの高速化、マイクロプロセッサ化、I/O装置の高速化、及びそれらの数の増加により、複数のマスタデバイスからメモリシステムに対するアクセスパスの多チャネル化、高速化が課題となっている。

【0003】 例えば、プロセッサとI/O装置の合計がN個、それぞれXバイト/秒の速度でメモリアクセスを行うと仮定する。この場合、メモリシステムは、合計  $N \times X$  バイト/秒の速度でアクセスできる必要がある。

【0004】 この速度が非常に高速な場合には、この速度を実現できるメモリデバイスがないか、あっても非常に高価であったり、チップ当たりのメモリ容量が少ないため要求される容量・速度のメモリシステムを実現できない場合があり得る。

【0005】 上述の問題を解決する従来技術としては、図9に示されるように、メモリを複数の分割メモリ902に分割し、プロセッサなどのマスタデバイス群901と分割メモリ群902をスイッチ903で結合する方式がある。

【0006】 この方式では、各マスタデバイス901が異なる分割メモリにアクセスする時は互いに衝突なくアクセスできるため、個々の分割メモリ902に対する要求速度はXバイト/秒程度であっても、メモリシステム全体でみればそれより速い速度を実現可能となる。もちろん、同じ分割メモリ902にアクセスが集中するとメモリシステム全体のアクセス速度は低下するが、アクセスの集中がそれほど発生しない場合には実用上十分な性能を実現できる。

## 【0007】

【発明が解決しようとする課題】 しかし、上述の従来技術では、任意のマスタデバイス901と任意の分割メモリ902を少ない遅延で接続する必要があり、かつ、メモリシステム全体の最大アクセス速度で処理を行う能力が要求される。

【0008】 また、マスタデバイス901の数をN、分割メモリ902の数をM、スイッチ903とマスタデバイス901の接続信号線数をCd、スイッチ903と分割メモリ902の接続信号線数をCmとすると、合計の接続信号線数は  $(N \times Cd) + (M \times Cm)$  となる。

【0009】 例えば、 $N=M=2$ とし、スイッチ903とマスタデバイス901間及びスイッチ903と分割メモリ間のデータ幅を共に36(32データ+4parity、双方方向)、スイッチ903とマスタデバイス901間のアドレス幅を36、スイッチ903と分割メモリ902間のアドレス幅を24とすれば、接続信号線の合計数は、 $\{2 \times (36+36)\} + \{2 \times (36+24)\} = 264$ 本(うち144本は双方方向)となる。

【0010】 これを1個のゲートアレイなどのLSIで

実現するのは、ピン数、内部入出力線数の制限から困難であるという問題点を有している。そして、上述のように速い処理能力が要求される場合には、なおさらである。

**【0011】**本発明は、任意のマスタデバイスが任意のメモリデバイスを高速にアクセスできる機能を、単純な回路構成で実現することを目的とする。

#### 【0012】

【課題を解決するための手段】図1は、本発明のブロック図である。本発明は、#1～#N×KのN×K個(第1の所定数)のマスタデバイス101のうち任意のものから、#1～#MのM個(第2の所定数)の分割メモリ102のうち任意のものへのアクセスを行うメモリアクセス回路を前提とする。

**【0013】**まず、それぞれ、以下のような機能を有する#1～#KのK個(第4の所定数)のメモリ制御モジュール103を有する。即ち、まず、メモリ制御モジュール103は、N×K個のマスタデバイス101のうちN個ずつのマスタデバイス101に対するインターフェースとM個の分割メモリ102に対向するインターフェースとを有する。

**【0014】**次に、メモリ制御モジュール103は、所定の動作クロックBCLKと所定のモード信号MODEに基づいて動作する。続いて、メモリ制御モジュール103は、動作クロックBCLKの同じ位相において複数のマスタデバイス101から同一の分割メモリ102へのメモリアクセス要求がなされている場合には、所定の規則によって決定された優先順位に従って選択されるマスタデバイス101からのメモリアクセス要求に基づいて、動作クロックBCLKのモード信号MODE(#1～#Kのそれぞれ)に基づいて指定される位相で、メモリアクセス要求に対応する分割メモリ102をアクセスする。

**【0015】**更に、メモリ制御モジュール103は、動作クロックBCLKの同じ位相において複数のマスタデバイス101から異なる分割メモリ102へのメモリアクセス要求がなされている場合には、それらの複数のマスタデバイス101からのそれぞれのメモリアクセス要求に基づいて、動作クロックBCLKのモード信号MODE(#1～#Kのそれぞれ)に基づいて指定される位相で、各メモリアクセス要求に対応する異なる分割メモリ102を同時にアクセスする。

**【0016】**そして、分割メモリ102毎に設けられ、その分割メモリ102とK個のメモリ制御モジュール103のそれぞれにおけるその分割メモリ102に対向するインターフェースとを、そのインターフェースに対応するメモリ制御モジュール103がその分割メモリ102をアクセスする動作クロックBCLKの位相において選択的に接続する、#1～#MのM個の選択手段104を有する。

#### 【0017】

【作用】本発明では、N×K個のマスタデバイス101のうち任意のものから、M個の分割メモリ102のうち任意のものへのアクセスを行うメモリアクセス回路が、それぞれN個のマスタデバイス101とM個の分割メモリ102との間でスイッチングを行うK個のメモリ制御モジュール103により構成され、それらにおける各分割メモリ102と対向するインターフェースが、分割メモリ102毎に設けられる選択手段104により、順次分割メモリ102と接続されるように選択される点が特徴である。

**【0018】**この構成により、各メモリ制御モジュール103をゲートアレイチップなどで容易に構成することが可能となり、しかも、複数のマスタデバイス101間の競合の調停制御は各メモリ制御モジュール103が行い、選択手段104は、各メモリ制御モジュール103における各分割メモリ102と対向するインターフェースを単純に順次選択するだけなので、全体のメモリアクセス制御を簡易に実現することができる。

#### 【0019】

【実施例】以下、図面を参照しながら本発明の実施例につき詳細に説明する。以下の実施例において、後述する図3のメッセージ通信装置103内の実メモリ307と制御メモリ308が分割メモリとして構成され、パーティカルメモリコントローラ209がスイッチ機能を有するように構成される点が本発明に最も関連する。

#### <本発明の実施例の構成>

#### 全体構成

図2は、本発明の実施例が適用されるネットワークの構成図である。

**【0020】**光ファイバリング206を中心に構成されるネットワーク201には、複数のノード202(図2では、#000、\*\*\*、%%%などの番号で示されている)が接続される。

**【0021】**ノード202において、プロセッサバス205には複数のプロセッサ204が接続され、プロセッサバス205はメッセージ通信装置203に収容される。メッセージ通信装置203は、プロセッサバス205を介してプロセッサ204が送信又は受信するメッセージデータを処理し、また、光ファイバリング206に対して入力又は出力されるメッセージデータが格納されたフレームを処理する。このメッセージ通信装置203内のバスの構成が、本発明に最も関連する。

#### メッセージ通信装置103の構成

次に、図3は、本発明の実施例における図2のノード202内のメッセージ通信装置203の構成図である。

**【0022】**実メモリ307は、メッセージデータを一時保持する通信バッファとして機能する。制御メモリ308は、メッセージの通信に使用される仮想記憶空間上の各仮想ページアドレス毎に、その仮想ページアドレス

が実メモリ307内の実ページアドレスに割り付けられている場合にはその実ページアドレスと、その仮想ページアドレスのページ状態（通信状態）を示すデータを記憶する。

【0023】このように、本発明の実施例におけるメッセージ通信装置103において、データを記憶するためのメモリは、1つのメモリデバイスとして構成されるのではなく、実メモリ307と制御メモリ308という分割メモリとして構成される点が特徴である。

【0024】プロセッサバスインターフェース312は、図2のプロセッサバス205を収容すると共に外部バス301に接続され、図2のプロセッサ204からプロセッサバス205を介して入力されるメッセージデータ等を、外部バス301及びバーチャルメモリコントローラ309を介して実メモリ307に出力し、逆に、実メモリ307からバーチャルメモリコントローラ309及び外部バス301を介して入力されるメッセージデータ等を、プロセッサバス205を介してプロセッサ204に出力する。

【0025】また、プロセッサバスインターフェース312は、外部バス301、バス結合部311及びCPUバス302を介して、CPU313との間で、通信制御データの授受を行う。

【0026】図2には明示していないが、図3では、プロセッサバス205は、1ノードあたり2本設けられている。従って、プロセッサバスインターフェース312も、各プロセッサバス205に対応して、#0と#1の2つが設けられている。そして、#0のプロセッサバスインターフェース312は、制御線319を用いて、#0と#1の各プロセッサバスインターフェース312が外部バス301をアクセスする場合の競合制御を行う。更に、#0のプロセッサバスインターフェース312は、制御線321、322を介して、後述するCPUバスアービタ314及びI/Oコントローラ315との間でバスの使用に関する制御データを授受しながら、外部バス301の競合制御を行って、必要なときには制御線320を介してバス結合部311の開閉制御を行う。

【0027】ネットワーク制御回路310は、フレームの送信時には、CPU313からCPUバス302、I/Oコントローラ315、及びネットワーク命令／結果バス303を介して入力される送信命令に基づいて、制御メモリアクセスバス306を介して制御メモリ308をアクセスしながら、実メモリ307からバーチャルメモリコントローラ309及びネットワークデータ送信バス305を介して送信されるべきメッセージデータを読み出し、それを含む送信フレームを構築し、それを光ファイバリング206に送出し、その送信結果を、ネットワーク命令／結果バス303、I/Oコントローラ315、及びCPUバス302を介してCPU313に通知する。

【0028】また、ネットワーク制御回路310は、光ファイバリング206からのフレームの受信時には、制御メモリアクセスバス306を介して制御メモリ308をアクセスしながら、その受信フレームを他のノード202へ中継する。又は、その受信フレーム内のメッセージデータを取り出し、ネットワークデータ受信バス304からバーチャルメモリコントローラ309を介して実メモリ307に格納し、その受信結果を、ネットワーク命令／結果バス303、I/Oコントローラ315、及びCPUバス302を介してCPU313に通知する。

【0029】CPU313は、CPUバス302に接続され、動作開始時に、CPUバス302に接続されるEPROM316からCPUバス302に接続されるプログラムRAM317に書き込まれる制御プログラムに従って動作する。

【0030】このCPU313は、CPUバス302、バス結合部311、及び外部バス301を介して、プロセッサバスインターフェース312との間で、通信制御データの授受を行う。

【0031】また、CPU313は、フレームの送信時には、CPUバス302、I/Oコントローラ315、及びネットワーク命令／結果バス303を介して、送信命令をネットワーク制御回路310へ出力し、その後、ネットワーク制御回路310から、ネットワーク命令／結果バス303、I/Oコントローラ315、及びCPUバス302を介して、送信結果通知を受け取る。逆に、CPU313は、フレームの受信時には、ネットワーク制御回路310から、ネットワーク命令／結果バス303、I/Oコントローラ315、及びCPUバス302を介して、受信結果通知を受け取る。

【0032】更に、CPU313は、CPUバス302を介して制御メモリ308内の各仮想ページアドレスのページ状態データ（通信状態を示すデータ）をアクセスすると共に、CPUバス302及びバーチャルメモリコントローラ309を介して制御メモリ308内の各仮想ページアドレスの実ページアドレスデータ及び実メモリ307をアクセスする。

【0033】I/Oコントローラ315は、CPUバス302に接続され、外部の周辺装置が接続される周辺装置バス318を収容する。また、I/Oコントローラ315は、前述したように、CPUバス302及びネットワーク命令／結果バス303を介して、CPU313とネットワーク制御回路310との間で授受される送信命令、送信結果通知又は受信結果通知を中継する。

【0034】更に、I/Oコントローラ315は、CPU313が外部バス301をアクセスするアドレスをCPUバス302に対して指定した場合に、制御線322を介して#0のプロセッサバスインターフェース312に、外部バスアクセス要求を出力する。

【0035】CPUバスアービタ314は、プロセッサ

バスインターフェース312から制御線321を介してCPUバスアクセス要求(バスグラント要求)を受け取った場合に、CPU313に対して制御線323を介してバス使用要求(バスグラント要求)を出し、CPU313から制御線323を介してバス使用許可(バスグラン

トアクリソリッジ)を受け取り、それに基づいてCPU

バスアクセス許可(バスグラントアクリソリッジ)を制御

線321を介して#0のプロセッサバスインターフェース312に返す。

【0036】バーチャルメモリコントローラ309は、プロセッサバスインターフェース312と実メモリ307との間で外部バス301を介して授受されるデータ、CPU313と実メモリ307又は制御メモリ308との間でCPUバス302を介して授受されるデータ、ネットワーク制御回路310と実メモリ307との間でネットワークデータ受信バス304又はネットワークデータ送信バス305を介して授受されるデータのスイッチング制御及び競合制御を行う。

#### バーチャルメモリコントローラ309の周辺の構成

図4は、図3のバーチャルメモリコントローラ309の周辺の更に詳細な構成図である。

【0037】バーチャルメモリコントローラ309は、#0と#1の2つのバーチャルメモリコントロールモジュール(VMC)401から構成される。#0のVMC401は、CPUバス302とネットワークデータ送信バス305が実メモリ307又は制御メモリ308内の実ページアドレスをアクセスする場合のスイッチング制御及び競合の調停制御を行い、アドレスバス407及びデータバス403によって実メモリ307と接続され、データバス404を介して制御メモリ308の実ページアドレス入出力端子と接続される。

【0038】#1のVMC401は、外部バス301とネットワークデータ受信バス304が実メモリ307又は制御メモリ308内の実ページアドレスをアクセスする場合のスイッチング制御及び競合の調停制御を行い、アドレスバス408及びデータバス403によって実メモリ307と接続され、データバス404を介して制御メモリ308の実ページアドレスデータ入出力端子と接続される。

【0039】#0と#1のVMC401は、クロックBCLKとそれに同期するクロックB2CLKに同期して動作する。#0のVMC401にはMODE信号が入力され、#1のVMC401にはMODE信号をインバータで反転した信号が入力される。

【0040】実メモリ307内に設けられるアドレスセレクタ411は、#0のVMC401からアドレスバス407を介して指定されるアドレスと#1のVMC401からアドレスバス408を介して指定されるアドレスとを、クロックBCLK、B2CLKに基づいて交互に選択する。

【0041】CPUバス302のデータバス部分405と制御メモリアクセスバス306のデータバス部分406は、バッファ402(図3では特に示していない)を介して制御メモリ308のページ状態データ入出力端子と接続される。

【0042】また、制御メモリ308内に設けられるアドレスセレクタ412は、CPUバス302のアドレスバス部分409を介して指定されるアドレスと制御メモリアクセスバス306のアドレスバス部分410を介して指定されるアドレスとを、クロックBCLK、B2CLKに基づいて交互に選択する。

#### バーチャルメモリコントロールモジュール401の構成

図5は、図4の#0及び#1のバーチャルメモリコントロールモジュール401の共通の構成図である。

【0043】ローカルバスインターフェース501にはCPUバス302又は外部バス301が収容され、ネットワークデータバスインターフェース502には、ネットワークデータ送信バス305又はネットワークデータ受信バス304が収容される。

【0044】実メモリインターフェース506は、それぞれ実メモリ307と接続されるデータバス403、アドレスバス407又は408を収容する。制御メモリインターフェース507は、制御メモリ308と接続されるデータバス404を収容する。

【0045】ローカルバスインターフェース501と実メモリインターフェース506、ネットワークデータバスインターフェース502と実メモリインターフェース506は、データバスとアドレスバスを含むバスによって接続され、ローカルバスインターフェース501と制御メモリインターフェース507、ネットワーク201データバスと制御メモリインターフェース507は、データバスによって接続される。

【0046】制御回路503は、クロックBCLK、B2CLK、MODE信号又はそれを反転した(MODE-)信号に基づいて動作し、制御線504によってローカルバスインターフェース501又はネットワークデータバスインターフェース502を制御し、制御線505を介して実メモリインターフェース506及び制御メモリインターフェース507を制御しながら、CPUバス302又は外部バス301とネットワークデータ送信バス305又はネットワークデータ受信バス304が、実メモリ307又は制御メモリ308を別々にアクセスするときのスイッチング制御と、これらが実メモリ307又は制御メモリ308を同時にアクセスするときの競合の調停制御を行う。

【0047】以上の構成を有する本発明の実施例の動作について説明する。

<プロセッサ間通信の全体動作>今、図2及び図3において、例えば#000のノード202内の1つのプロセッサ204から、\*\*\*のノード202内の他の1つのプロセ

ッサ204にメッセージデータを送信する場合の全体動作について説明する。

【0048】この場合に、#000のノード202内の1つのプロセッサ204から送信されるメッセージデータは、プロセッサバス205を介してそのノード内のメッセージ通信装置203（以下、#000のメッセージ通信装置203と呼ぶ）の実メモリ307に転送された後に、\*\*\*\*のノード202内のメッセージ通信装置203（以下、\*\*\*\*のメッセージ通信装置203と呼ぶ）の実メモリ307に送られ、その後、その実メモリ307からプロセッサバス205を介して宛て先のプロセッサ204に転送される。即ち、各メッセージ通信装置203の実メモリ307は、通信バッファとして機能する。

#### メッセージ通信装置203間の通信方式

ここで、メッセージ通信装置203間のメッセージデータの通信には、ネットワーク仮想記憶方式という特別な方式が適用される。

【0049】まず、図2のネットワーク201全体で、仮想記憶空間が定義される。この仮想記憶空間は、複数の仮想ページに分割され、メッセージデータの通信はこの仮想ページを介して行われる。例えば、仮想記憶空間は、0000～FFFFページ（16進数）までの仮想ページアドレスに分割される。1つの仮想ページは、メッセージデータの1単位であるパケットを十分に収容可能な固定長（例えば8キロバイト長）のデータ長を有する。なお、以下特に言及しないときは、仮想ページアドレス及び口述する実ページアドレスは、16進数で表現する。

【0050】次に、この仮想記憶空間の所定ページ数毎例えば16ページ毎に、ネットワーク201に接続される各ノード202のメッセージ通信装置203が割り当てられる。例えば、0000～000Fページには#000番目のノード202のメッセージ通信装置203が割り当てられ、0010～001Fページには#001番目のノード202のメッセージ通信装置203が割り当てられ、以下同様にして、\*\*\*0～\*\*\*Fページ及び%\*\*0～%\*\*Fページ（3桁の\*及び%はそれぞれ0～Fの16進数のうち任意の数）には、それぞれ\*\*\*番目及び%\*\*番目の各ノード202のメッセージ通信装置203が割り当てられる。

【0051】従って、上述の例では、ネットワーク201には、#000～#FFFまでの最大で3096台のメッセージ通信装置203が接続可能である。一方、各メッセージ通信装置203内の実メモリ307は、それぞれが上記の仮想ページと同じデータ長を有する複数の実ページに分割される。実メモリ307のページ容量は、仮想記憶空間のページ容量よりはるかに小さくてよく、例えば64～256ページ程度でよい。

【0052】次に、各メッセージ通信装置203の制御メモリ308にはそれぞれ、図6に示されるように、全仮想ページアドレス分の制御データが記憶される。各仮想ページアドレスの制御データは、図6に示されるよう

に、その仮想ページアドレスに対応付けられる自メッセージ通信装置203内の実メモリ307の実ページアドレスデータと、その仮想ページアドレスの通信状態を示すページ状態データとから構成されている。

【0053】そして、初期状態として、各ノード202内のメッセージ通信装置203の制御メモリ308において、そのノード202に割り当てられている仮想ページアドレスには、CPU313のネットワーク用受信制御機能によって、自メッセージ通信装置203の実メモリ307内の任意の空きページに設けられるネットワーク用受信バッファの実ページアドレスと、ページ状態として受信バッファ割付状態VPが、それぞれ予め書き込まれている。なお、ネットワーク用受信制御機能は、CPU313がプログラムRAM317に記憶された制御プログラムを実行することにより実現される。

【0054】例えば、#000のメッセージ通信装置203の制御メモリ308において、自メッセージ通信装置203に割り当てられている0000,0001, ..., 000Fページの各仮想ページアドレスには、図6に示されるように、実メモリ307内のs,q,...,pの各実ページアドレスが書き込まれ、受信バッファ割付状態を示すページ状態VPが書き込まれている。

【0055】また、\*\*\*\*のメッセージ通信装置203の制御メモリ308において、自メッセージ通信装置203に割り当てられている\*\*\*0,\*\*\*1, ..., \*\*\*Fページの各仮想ページアドレスには、図6に示されるように、実メモリ307内のv,u,...,tの各実ページアドレスが書き込まれ、受信バッファ割付状態を示すページ状態VPが書き込まれている。

【0056】同様に、%\*\*のメッセージ通信装置203の制御メモリ308において、自メッセージ通信装置203に割り当てられている%\*\*0,%\*\*1, ..., %\*\*Fページの各仮想ページアドレスには、図6に示されるように、実メモリ307内のy,w,...,xの各実ページアドレスが書き込まれ、受信バッファ割付状態を示すページ状態VPが書き込まれている。

【0057】今、後述する転送動作により、例えば#000のメッセージ通信装置203の実メモリ307内の、実ページアドレスがrであるネットワーク用送信バッファ（後述する）に、#000のノード202内の1つのプロセッサ204からメッセージデータが転送されているものとする。

【0058】CPU313のネットワーク用送信制御機能は、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307内のネットワーク用送信バッファに格納されているメッセージデータのヘッダ内の宛て先アドレス部を解析することによって、その宛て先アドレスに対応するプロセッサ204が収容されるノード202に割り当てられている仮想ページアドレスのうち、ページ状態がバッファ未割付状態NAとなって

いるものを決定する。図6の例では、例えば仮想ページアドレス\*\*\*2が決定される。なお、ネットワーク用送信制御機能は、CPU313がプログラムRAM317に記憶された制御プログラムを実行することにより実現される。

【0059】次に、CPU313のネットワーク用送信制御機能は、制御メモリ308内の上述の決定した仮想ページアドレスに、上述のメッセージデータが格納されているネットワーク用送信バッファの実ページアドレスを書き込み、ページ状態を、バッファ未割付状態NAから送信状態SDに変更する。図6の例では、例えば仮想ページアドレス\*\*\*2に実ページアドレスrと送信状態SDが設定される。

【0060】そして、CPU313のネットワーク用送信制御機能は、I/Oコントローラ315内の送信用FIFOに、CPUバス302を介して、送信命令と共に、上述の仮想ページアドレスと、上述のメッセージデータの転送長を書き込む。

【0061】ネットワーク制御回路310は、I/Oコントローラ315内の送信用FIFOから、ネットワーク命令/結果バス303を介して、上述の送信命令等を読み出すと、その送信命令に付加されている仮想ページアドレスを、制御メモリアクセスバス306を介して制御メモリ308に指定し、制御メモリ308から上述の仮想ページアドレスに設定されている実ページアドレスを読み出してバーチャルメモリコントローラ309内の特には図示しないDMA転送用レジスタに設定する。

【0062】そして、ネットワーク制御回路310は、バーチャルメモリコントローラ309に、送信されるべきメッセージデータが含まれる実メモリ307内の上記実ページアドレスのページデータを、ネットワークデータ送信バス305を介してネットワーク制御回路310にDMA転送させる。

【0063】ネットワーク制御回路310は、上述のページデータから送信命令に付加されているメッセージデータの転送長に対応する分のメッセージデータを取り出し、そのメッセージデータと送信命令に付加されている仮想ページアドレス及びメッセージデータの転送長を含む送信フレームを生成し、それを光ファイバリング206に送出する。なお、光ファイバリング206のフレーム伝送方式としては、トーカンリングネットワーク方式が採用され、ネットワーク制御回路310は、光ファイバリング206上を周回するフリートーカンを獲得した場合のみ送信フレームを送出することができる。

【0064】図6の例においては、#000のメッセージ通信装置203から、仮想ページアドレス\*\*\*2と実メモリ307内の実ページアドレスrに格納されているメッセージデータとを含む送信フレームが、光ファイバリング206に送出される。

【0065】上述の送信フレームは、光ファイバリング

206に接続されている他のノード202(図2参照)に順次転送される。各ノード202内のメッセージ通信装置203のネットワーク制御回路310は、光ファイバリング206から上記送信フレームを取り込むと、その送信フレームに格納されている仮想ページアドレスに対応するページ状態を制御メモリアクセスバス306を介して制御メモリ308から読み出し、そのページ状態が受信バッファ割付状態VPであるか否か、即ち、その仮想ページアドレスが自ノード202のメッセージ通信装置203に割り当てられているか否か、又はそのページ状態が送信状態SDであるか否か、即ち、その送信フレームが自ネットワーク制御回路310が送出したものであるか否かを判別する。

【0066】ネットワーク制御回路310は、送信フレームに格納されている仮想ページアドレスのページ状態が受信バッファ割付状態VPであると判別した場合には、送信フレームに格納されているメッセージデータを、以下のようにして実メモリ307に取り込む。

【0067】即ち、ネットワーク制御回路310は、まず、送信フレームに格納されている仮想ページアドレスを、制御メモリアクセスバス306を介して制御メモリ308に指定し、制御メモリ308から上述の仮想ページアドレスに設定されている実ページアドレスを読み出してバーチャルメモリコントローラ309内の特には図示しないDMA転送用レジスタに設定する。そして、ネットワーク制御回路310は、バーチャルメモリコントローラ309に、送信フレームに含まれるメッセージデータを、ネットワークデータ受信バス304を介して実メモリ307内の上述の実ページアドレスにDMA転送させる。

【0068】その後、ネットワーク制御回路310は、送信フレームに格納されている仮想ページアドレスを、制御メモリアクセスバス306を介して制御メモリ308に指定し、その仮想ページアドレスのページ状態を受信バッファ割付状態VPから受信完了状態RDに変更する。

【0069】更に、ネットワーク制御回路310は、I/Oコントローラ315内の受信用FIFOに、ネットワーク命令/結果バス303を介して、受信の成否を示す結果コードと共に、送信フレームから抽出した仮想ページアドレスとメッセージデータの転送長を書き込む。

【0070】最後に、ネットワーク制御回路310は、光ファイバリング206から受信した上述の送信フレーム中の応答領域に受信成功通知を書き込んだ後、その送信フレームを再び光ファイバリング206に送出する。

【0071】例えば、図6の例では、\*\*\*のメッセージ通信装置203のネットワーク制御回路310は、#000のノード202からの送信フレームに格納されている仮想ページアドレス\*\*\*2の制御メモリ308上のページ状態が受信バッファ割付状態VPであると判別することにより、その送信フレームに格納されているメッセージデータ

タを、制御メモリ308の仮想ページアドレス\*\*\*2に設定されている実ページアドレスuを有する実メモリ307内のネットワーク用受信バッファに取り込んだ後、制御メモリ308の仮想ページアドレス\*\*\*2のページ状態を受信バッファ割付状態VPから受信完了状態RDに変更する。

【0072】上述の受信結果通知は、CPU313により、CPUバス302を介して受信される。即ち、CPU313のネットワーク用受信制御機能は、CPUバス302を介してI/Oコントローラ315内の受信用FIFOから上述の受信結果通知を受け取ると、結果コードが受信成功であるならば、受信結果通知の一部である仮想ページアドレスをCPUバス302を介して制御メモリ308に指定し、そのページ状態と実ページアドレスを読み出す。

【0073】上述のページ状態が受信完了状態RDであるならば、CPU313のネットワーク用受信制御機能は、まず、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307を制御して、上述の実ページアドレスで指定される実ページをネットワーク用受信バッファから切り離しプロセッサ用送信待ちバッファキューに接続する。

【0074】その後、CPU313のネットワーク用受信制御機能は、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307を制御して、任意の空きページをネットワーク用受信バッファに接続し、更に、上述の受信結果通知の一部である仮想ページアドレスでCPUバス302を介して制御メモリ308をアクセスし、その仮想ページアドレスに、上述の空きページの実ページアドレスと、ページ状態として受信バッファ割付状態VPを、それぞれ書き込む。

【0075】これ以後、実メモリ307内のプロセッサ用送信待ちバッファキューに対する処理は、CPU313のネットワーク用受信制御機能から後述するプロセッサ用送信制御機能に引き渡される。

【0076】一方、ネットワーク制御回路310は、送信フレームに格納されている仮想ページアドレスに対応するページ状態を制御メモリ308から読み出した結果、そのページ状態が受信バッファ割付状態VPでも送信状態SDでもないと判別した場合には、その送信フレームをそのまま光ファイパリング206に送出する。

【0077】例えば、図6の例では、#%%のメッセージ通信装置203のネットワーク制御回路310は、#000のノード202からの送信フレームに格納されている仮想ページアドレス\*\*\*2の制御メモリ308上のページ状態が受信バッファ割付状態VPでも送信状態SDでもないと判別することにより、その送信フレームをそのまま光ファイパリング206に送出する。

【0078】上述のようにして光ファイパリング206上を順次転送された送信フレームは、最後に送信元のノード202内のメッセージ通信装置203のネットワーク

ード202内のメッセージ通信装置203のネットワーク制御回路310に戻る。

【0079】送信元のネットワーク制御回路310は、送信フレームに格納されている仮想ページアドレスに対応するページ状態を制御メモリ308から読み出した結果、それが送信状態SDであると判別することによって、その送信フレームが自ネットワーク制御回路310が送出した送信フレームであることを判別する。

【0080】この場合に、ネットワーク制御回路310は、受信した送信フレームの応答領域に受信成功通知が書き込まれていることを確認した後に、制御メモリアクセスバス306を介して、送信フレームに格納されている仮想ページアドレスに対応する制御メモリ308のページ状態を、送信状態SDから送信完了状態SCに変更する。

【0081】そして、ネットワーク制御回路310は、I/Oコントローラ315内の受信用FIFOに、ネットワーク命令/結果バス303を介し、送信の成否を示す結果コードと共に、送信フレームから抽出した仮想ページアドレスを書き込む。

【0082】上述の送信結果通知は、CPU313により、CPUバス302を介して受信される。即ち、CPU313のネットワーク用送信制御機能は、CPUバス302を介してI/Oコントローラ315内の受信用FIFOから上述の送信結果通知を受け取ると、結果コードが送信成功であるならば、送信結果通知の一部である仮想ページアドレスをCPUバス302を介して制御メモリ308に指定し、そのページ状態と実ページアドレスを読み出す。

【0083】上述のページ状態が送信完了状態SCであるならば、CPU313のネットワーク用送信制御機能は、まず、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307を制御して、上述の実ページアドレスで指定される実ページをネットワーク用送信バッファから切り離し空きページとする。

【0084】その後、CPU313のネットワーク用送信制御機能は、上述の送信結果通知の一部である仮想ページアドレスでCPUバス302を介して制御メモリ308をアクセスし、その仮想ページアドレスのページ状態として、バッファ未割付状態NAを書き込む。

【0085】以上のように、ネットワーク201(図2参照)上において、1つの仮想記憶空間が定義され、この空間を構成する固定長のデータ長を有する仮想ページが各メッセージ通信装置203に割り当てられる。そして、メッセージ通信装置203間のメッセージデータの通信は、この仮想ページを使用して行われる。この結果、通常のパケット通信で行われているブロック化制御、順序制御が不要となる。

【0086】また、光ファイパリング206上の各ノード202内のメッセージ通信装置203のネットワーク

制御回路310は、送信フレームを受信すると、その送信フレームに格納されている仮想ページアドレスで制御メモリ308上のページ状態をアクセスすることによって、受信した送信フレームを高速に処理することができる。

【0087】加えて、光ファイバリング206上を転送される送信フレームには応答領域が設けられ、受信側のノード202内のメッセージ通信装置203のネットワーク制御回路310は、送信フレームの受信結果を送信フレームの応答領域に書き込み、それを再び光ファイバリング206に送出する。従って、この送信フレームが光ファイバリング206上を転送され送信元に戻ってくるまでに、メッセージデータの送信処理が完了することになり、受信側から送信元への応答を別のフレームを用いて通知する必要がない。この結果、通信プロトコルを簡略なものにすらすことができ、高速な応答処理が可能となる。

【0088】更に、メッセージ通信装置203間のメッセージデータの通信は、メッセージ通信装置203内のネットワーク制御回路310が制御メモリ308をアクセスしながら実メモリ307を使用して行い、プロセッサ204とメッセージ通信装置203間のメッセージデータの通信は、後述するように、メッセージ通信装置203内のプロセッサバスインターフェース312が、上述のネットワーク制御回路310の動作とは独立して、実メモリ307を使用して行う。更に、実メモリ307上の実ページアドレスに格納されたメッセージデータと仮想記憶空間上の仮想ページアドレスとの対応付けは、後述するように、CPU313がメッセージデータに付加されたヘッダ内の宛て先アドレスに基づいて行う。従つて、プロセッサ204とメッセージ通信装置203間、メッセージ通信装置203とメッセージ通信装置203間の処理を効率良く高速に実行することが可能となる。

#### 送信元におけるプロセッサ204からメッセージ通信装置203へのメッセージデータの転送動作

次に、送信元のノード202（図6の例では#000のノード202）内の1つのプロセッサ204からそのノード内のメッセージ通信装置203の実メモリ307に、メッセージデータが転送される場合の動作について説明する。

【0089】まず、CPU313のプロセッサ用受信制御機能は、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307をアクセスすることにより、実メモリ307において、プロセッサ用受信バッファキューに空きバッファキューに接続されている空きバッファを接続する。なお、プロセッサ用受信制御機能は、CPU313がプログラムRAM317に記憶された制御プログラムを実行することにより実現される機能である。

【0090】そして、CPU313のプロセッサ用受信

制御機能は、CPUバス302、バス結合部311、及び外部バス301を介して、例えば#0のプロセッサバスインターフェース312を起動すると共に、そのインターフェース312に対して上述のプロセッサ用受信バッファキューの先頭アドレスを通知する。

【0091】プロセッサバスインターフェース312は、プロセッサ204からプロセッサバス205を介して転送されてきたメッセージデータを受信し、上記先頭アドレスを受信開始アドレスとしてバッファアドレスを順次更新しながら、上述の受信されたメッセージデータを、外部バス301及びバーチャルメモリコントローラ309を介して、実メモリ307内のプロセッサ用受信バッファキューに接続された空きバッファに、順次転送する。

【0092】プロセッサバスインターフェース312は、プロセッサ用受信バッファキューに接続される空きバッファがなくなると、自動的に停止し、その旨を外部バス301、バス結合部311、及びCPUバス302を介してCPU313に通知する。

【0093】CPU313のプロセッサ用受信制御機能は、まず、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307を制御して、上述の受信済のバッファをプロセッサ用受信バッファキューから切り離しネットワーク用送信バッファに接続する。これ以後、実メモリ307内のネットワーク用送信バッファに対する処理は、CPU313のプロセッサ用受信制御機能から前述したネットワーク用送信制御機能に引き渡され、前述したメッセージ通信装置203間の通信方式に従って、送信元のノード202のメッセージ通信装置203（図6の例では#000のメッセージ通信装置203）内の実メモリ307から、宛て先のプロセッサ204が収容されるノード202のメッセージ通信装置203（図6の例では###のメッセージ通信装置203）内の実メモリ307への、メッセージデータの転送動作が実行される。

#### 受信側におけるメッセージ通信装置203からプロセッサ204へのメッセージデータの転送動作

次に、受信側のノード202（図6の例では###のノード202）内のメッセージ通信装置203の実メモリ307からそのノード202内の1つのプロセッサ204に、メッセージデータが転送される場合の動作について説明する。

【0094】ネットワーク制御回路310が送信フレームの受信に成功すると、前述したように、CPU313のネットワーク用受信制御機能が、受信されたメッセージデータを実メモリ307内のプロセッサ用送信待ちバッファキューに接続する。

【0095】これに対して、CPU313のプロセッサ用送信制御機能は、CPUバス302、バス結合部311、及び外部バス301を介して、例えば#0のプロセッサ

サバスインターフェース312を起動すると共に、そのインターフェース312に対して上述のプロセッサ用送信待ちバッファキューの先頭アドレスを通知する。

【0096】プロセッササバスインターフェース312は、上記先頭アドレスを送信開始アドレスとしてバッファアドレスを順次更新しながら、外部バス301及びバーチャルメモリコントローラ309を介して、実メモリ307内のプロセッサ用送信待ちバッファキューに接続されたバッファに格納されているメッセージデータを順次読み出して、そのメッセージデータのヘッダ内の宛て先アドレス部を解析しながら、そのメッセージデータをプロセッサバス205を介して宛て先のプロセッサ204に転送する。

<バーチャルメモリコントローラ309を中心とする動作>前述したように、本発明の実施例では、メッセージ通信装置203間のメッセージデータの通信は、メッセージ通信装置203内のネットワーク制御回路310が制御メモリ308をアクセスしながら実メモリ307を使用して行い、プロセッサ204とメッセージ通信装置203間のメッセージデータの通信は、メッセージ通信装置203内のプロセッササバスインターフェース312が、上述のネットワーク制御回路310の動作とは独立して、実メモリ307を使用して行う。更に、実メモリ307上の実ページアドレスに格納されたメッセージデータと仮想記憶空間上の仮想ページアドレスとの対応付けは、CPU313が制御メモリ308と実メモリ307を使用して行う。

【0097】上述したようなネットワーク制御回路310、プロセッササバスインターフェース312、及びCPU313による制御メモリ308又は実メモリ307へのアクセスを効率的に行うため、図3のメッセージ通信装置103において、まず、実メモリ307と制御メモリ308は物理的に分割されたメモリとして構成され、バーチャルメモリコントローラ309が実メモリ307及び制御メモリ308へのアクセスを制御する。

【0098】即ち、バーチャルメモリコントローラ309は、プロセッササバスインターフェース312と実メモリ307との間で外部バス301を介して授受されるデータ、CPU313と実メモリ307又は制御メモリ308との間でCPUバス302を介して授受されるデータ、ネットワーク制御回路310と実メモリ307との間でネットワークデータ受信バス304又はネットワークデータ送信バス305を介して授受されるデータのスイッチング制御及び競合制御を行う。

【0099】更に、本発明の実施例では、バーチャルメモリコントローラ309を、1つのLSIチップで構成するのではなく、#0と#1の2つのバーチャルメモリコントロールモジュール(VMC)401により構成し、実メモリ307内のアドレスセレクタ411及び制御メモリ308内のアドレスセレクタ412が#0と#1のVMC

401の各アドレス出力を交互に選択することにより、単純な構成と単純な制御でシステムのスループットを向上させるようにしている点が特徴である。

#### #0のVMC401の動作

まず、#0のVMC401は、CPUバス302を介したCPU313、又はネットワークデータ送信バス305を介したネットワーク制御回路310からの要求に従い、実メモリ307内のデータ又は制御メモリ308内の実ページアドレスデータのアクセス制御を行う。

【0100】まず、CPU313がCPUバス302及び#0のVMC401を介して実メモリ307内のデータをアクセスする場合には、例えば前述したように、

1) CPU313が、実メモリ307上のプロセッサ用受信バッファキュー、ネットワーク用送信バッファ、ネットワーク用受信バッファ、プロセッサ用送信待ちバッファキュー、又は空きバッファキューを、それぞれ制御する場合、

2) CPU313が、実メモリ307内のネットワーク用送信バッファに格納されているメッセージデータのヘッダ内の宛て先アドレス部を解析する場合、などがある。

【0101】この場合には、#0のVMC401からアドレスバス407を介して指定されたアドレスがアドレスセレクタ411を介して実メモリ307に指定され、データバス403を介して、#0のVMC401と実メモリ307の間でメッセージデータ等が授受される。

【0102】また、CPU313がCPUバス302及び#0のVMC401を介して制御メモリ308内の実ページアドレスデータをアクセスする場合には、例えば前述したように、

1) CPU313のネットワーク用受信制御機能が、初期状態において、自CPU313が含まれるノード202に割り当てられている制御メモリ308上の仮想ページアドレス(図6参照)に、実メモリ307内の任意の空きページに設けられるネットワーク用受信バッファの実ページアドレスを予め書き込む場合、

2) CPU313のネットワーク用送信制御機能が、送信されるべきメッセージデータを送信状態とするため、制御メモリ308上の所定の仮想ページアドレスに送信されるべきメッセージデータが格納されているネットワーク用送信バッファの実ページアドレスを書き込むことにより通信バッファを割り当てる場合、

3) CPU313のネットワーク用受信制御機能が、受信に成功したメモリデータをネットワーク用受信バッファから切り離しプロセッサ用送信待ちバッファキューに接続するために、制御メモリ308上の所定の仮想ページアドレスから実ページアドレスを読み出す場合、などがある。

【0103】この場合には、CPUバス302のアドレスバス部分409から直接指定されたアドレスがアドレスセレクタ412を介して制御メモリ308に指定さ

れ、データバス404を介して、#0のVMC401と実メモリ307の間で実ページアドレステータが授受される。

【0104】一方、ネットワーク制御回路310がネットワークデータ送信バス305及び#0のVMC401を介して実メモリ307内のデータをアクセスする場合には、前述したように、ネットワーク制御回路310が、実メモリ307内の送信されるべきメッセージデータをDMA転送により受け取る場合がある。

【0105】この場合には、#0のVMC401からアドレスバス407を介して指定されたアドレスがアドレスセレクタ411を介して実メモリ307に指定され、データバス403を介して、実メモリ307から#0のVMC401へメッセージデータが転送される。

【0106】また、ネットワーク制御回路310がネットワークデータ送信バス305及び#0のVMC401を介して制御メモリ308内の実ページアドレステータをアクセスする場合には、前述したように、ネットワーク制御回路310が、上述の送信メッセージデータのDMA転送前に、送信命令に付加されている仮想ページアドレスを、制御メモリアクセスバス306を介して制御メモリ308に指定し、制御メモリ308から上述の仮想ページアドレスに設定されている実ページアドレスを読み出して#0のVMC401内の特には図示しないDMA転送用レジスタに設定する場合がある。

【0107】この場合には、制御メモリアクセスバス306のアドレスバス部分410から直接指定されたアドレスがアドレスセレクタ412を介して制御メモリ308に指定され、データバス404を介して、実メモリ307から#0のVMC401へ実ページアドレステータが転送される。 30

#### #1のVMC401の動作

次に、#1のVMC401は、外部バス301を介したプロセッサバスインターフェース312、又はネットワークデータ受信バス304を介したネットワーク制御回路310からの要求に従い、実メモリ307内のデータ又は制御メモリ308内の実ページアドレステータのアクセス制御を行う。

【0108】プロセッサバスインターフェース312が外部バス301及び#1のVMC401を介して実メモリ307内のデータをアクセスする場合には、例えば前述したように、

- 1) プロセッサバスインターフェース312が、プロセッサ204から受信したメッセージデータを、実メモリ307内のプロセッサ用受信バッファキューに接続された空きバッファに順次転送する場合、
- 2) プロセッサバスインターフェース312が、実メモリ307内のプロセッサ用送信待ちバッファキューに接続されたバッファに格納されているメッセージデータを順次読み出して、それをプロセッサ204に転送する場合、

などがある。

【0109】この場合には、#1のVMC401からアドレスバス408を介して指定されたアドレスがアドレスセレクタ411を介して実メモリ307に指定され、データバス403を介して、#1のVMC401と実メモリ307の間でメッセージデータ等が授受される。

【0110】また、プロセッサバスインターフェース312が外部バス301及び#1のVMC401を介して制御メモリ308内の実ページアドレステータをアクセスする場合は、本発明の実施例では規定されない。

【0111】一方、ネットワーク制御回路310がネットワークデータ受信バス304及び#1のVMC401を介して実メモリ307をアクセスする場合には、前述したように、ネットワーク制御回路310が、光ファイバリング206（図2参照）から受信した送信フレームに含まれる自ノード202宛のメッセージデータを、実メモリ307にDMA転送する場合がある。

【0112】この場合には、#1のVMC401からアドレスバス408を介して指定されたアドレスがアドレスセレクタ411を介して実メモリ307に指定され、データバス403を介して、#1のVMC401から実メモリ307へメッセージデータが転送される。 20

【0113】また、ネットワーク制御回路310がネットワークデータ受信バス304及び#1のVMC401を介して制御メモリ308をアクセスする場合には、前述したように、ネットワーク制御回路310が、受信メッセージデータのDMA転送前に、そのメッセージデータが含まれていた送信フレームに格納されている仮想ページアドレスを、制御メモリアクセスバス306を介して制御メモリ308に指定し、制御メモリ308から上述の仮想ページアドレスに設定されている実ページアドレスを読み出して#1のVMC401内の特には図示しないDMA転送用レジスタに設定する場合がある。

【0114】この場合には、制御メモリアクセスバス306のアドレスバス部分410から直接指定されたアドレスがアドレスセレクタ412を介して制御メモリ308に指定され、データバス404を介して、実メモリ307から#1のVMC401へ実ページアドレステータが転送される。 30

#### 制御メモリ308内のページ状態データのアクセス動作

CPU313がCPUバス302を介して、また、ネットワーク制御回路310が制御メモリアクセスバス306を介して、それぞれ制御メモリ308内のページ状態データをアクセスする場合は、前述したように、非常に多くの場合がある。

【0115】本発明の実施例では、まず、CPU313が制御メモリ308内のページ状態データをアクセスする場合には、CPUバス302のアドレスバス部分409から直接指定されたアドレスがアドレスセレクタ412を介して制御メモリ308に指定され、CPUバス3

21

02のデータバス部分405及びバッファ402を介して、CPU313と制御メモリ308の間でページ状態データが直接授受される。

【0116】また、ネットワーク制御回路310が制御メモリ308内のページ状態データをアクセスする場合には、制御メモリアクセスバス306のアドレスバス部分410から直接指定されたアドレスがアドレスセレクタ412を介して制御メモリ308に指定され、制御メモリアクセスバス306のデータバス部分406及びバッファ402を介して、ネットワーク制御回路310と制御メモリ308の間でページ状態データが直接授受される。

#### #0のVMC401と#1のVMC401間の実メモリアクセスサイクルの関係

次に、#0のVMC401と#1のVMC401は、クロックBCLK、B2CLKに同期して動作する。

【0117】この場合の、#0のVMC401と#1のVMC401間の実メモリアクセスサイクルのタイミング関係を、図7のタイミングチャートを使用して説明する。図7(a)はシステムクロックCLK(φ1、φ2)を示し、図7(b)はCLKに基づいて生成されるクロックBCLKを示す。バスアクセス制御のための各制御信号はこのクロックBCLKに同期して出力される。このクロックBCLKにおいて、「↑」で挟まれた各区間がバスサイクルを示す。図7(c)はクロックBCLKを2分周したクロックB2CLKを示す。

【0118】#0と#1のVMC401は、両方とも同じ構成を有するが、外部から入力するMODE信号又は(MODE-)信号の論理状態により、クロックBCLKのタイミングとB2CLのタイミングの異なった組合せに基づいて動作する。

【0119】即ち、まず、#0のVMC401の制御回路503(図5参照)には、例えばMODE信号として論理“0”が入力されている。この場合、#0のVMC401の制御回路503は、図7(b),(c),(d)に示されるように、クロックB2CLKがハイレベルである期間内のクロックBCLKの立上りタイミング「↑」から始めるバスサイクルにおいて、制御線505を介して実メモリインターフェース506を制御し、それに対してアドレスバス407に実メモリアドレス(実ページアドレス)を出力させる。

【0120】これに同期して、図4の実メモリ307内のアドレスセレクタ411は、クロックB2CLKがローレベルである期間内のクロックBCLKの立上りタイミング「↑」から始まるバスサイクルにおいて、その直前のバスサイクルにおいて#0のVMC401からアドレスバス407に出力されている実メモリアドレスを実メモリ307内の特には図示しないアドレスレジスタにラッチする。

【0121】上述の実メモリアドレスがラッチされたバ

10

22

スサイクルと同じバスサイクルにおいて、#0のVMC401の制御回路503は、図7(b),(c),(d)に示されるように、制御線505を介して実メモリインターフェース506を制御し、それに対してデータバス403を使用させて実メモリ307との間で実メモリデータ(メッセージデータ等)を授受させる。

【0122】一方、#1のVMC401の制御回路503(図5参照)には、例えばMODE信号の論理がインバータ(図4参照)で反転された(MODE-)信号として論理“1”が入力されている。

【0123】この場合、#1のVMC401の制御回路503は、図7(b),(e),(f)に示されるように、クロックB2CLKがローレベルである期間内のクロックBCLKの立上りタイミング「↑」から始めるバスサイクルにおいて、制御線505を介して実メモリインターフェース506を制御し、それに対してアドレスバス407に実メモリアドレスを出力させる。

【0124】これに同期して、図4の実メモリ307内のアドレスセレクタ411は、クロックB2CLKがハイレベルである期間内のクロックBCLKの立上りタイミング「↑」から始まるバスサイクルにおいて、その直前のバスサイクルにおいて#1のVMC401からアドレスバス408に出力されている実メモリアドレスを実メモリ307内の特には図示しないアドレスレジスタにラッチする。

【0125】上述の実メモリアドレスがラッチされたバスサイクルと同じバスサイクルにおいて、#1のVMC401の制御回路503は、図7(b),(e),(f)に示されるように、制御線505を介して実メモリインターフェース506を制御し、それに対してデータバス403を使用させて実メモリ307との間で実メモリデータを授受させる。

【0126】以上の動作からわかるように、#0及び#1のVMC401は、最短で2バスサイクルで実メモリ307をアクセスできる。アクセスが複数バスサイクルに渡る場合は、#0及び#1のVMC401がそれぞれ1バスサイクルおきに交互に実メモリ307をアクセスできる。

#### #0のVMC401と#1のVMC401間の制御メモリアクセスサイクルの関係

次に、#0のVMC401と#1のVMC401間の制御メモリアクセスサイクルのタイミング関係について説明する。

【0127】VMC401を介して制御メモリ308がアクセスされる場合は、前述したように、制御メモリ308内の実ページアドレスデータがアクセスされる場合である。

【0128】この場合のタイミング関係については、特には図示しないが、制御メモリ308は、図4のアドレスセレクタ412を介してアドレスが指定された場合に、そのアドレスが指定されたバスサイクルと同じバス

50

サイクル内で実ページアドレスデータの授受を行うことができる。

【0129】そして、まず、制御メモリ308内のアドレスセレクタ412は、例えばクロックB2CLKがハイレベルである期間内のクロックBCLKの立上りタイミングから始まるバスサイクルにおいて、それと同じバスサイクルで例えばCPUバス302のアドレスバス部分409に指定されている制御メモリアドレス（仮想ページアドレス）を制御メモリ308内の特には図示しないアドレスレジスタにラッチする。

【0130】上述の制御メモリアドレスがラッチされたバスサイクルと同じバスサイクルにおいて、#0のVMC401の制御回路503は、制御線505を介して制御メモリインタフェース507を制御し、それに対してデータバス404を使用させて制御メモリ308との間で実ページアドレスデータを授受させる。

【0131】一方、制御メモリ308内のアドレスセレクタ412は、例えばクロックB2CLKがローレベルである期間内のクロックBCLKの立上りタイミングから始まるバスサイクルにおいて、それと同じバスサイクルで例えば制御メモリアクセスバス306のアドレスバス部分410に指定されている制御メモリアドレス（仮想ページアドレス）を制御メモリ308内の特には図示しないアドレスレジスタにラッチする。

【0132】上述の制御メモリアドレスがラッチされたバスサイクルと同じバスサイクルにおいて、#1のVMC401の制御回路503は、制御線505を介して制御メモリインタフェース507を制御し、それに対してデータバス404を使用させて制御メモリ308から実ページアドレスデータを転送させる。

【0133】以上の動作からわかるように、実ページアドレスデータに関して、#0及び#1のVMC401は、最短で1バスサイクルで制御メモリ308をアクセスできる。アクセスが複数バスサイクルに渡る場合は、#0及び#1のVMC401がそれぞれ1バスサイクルおきに交互に制御メモリ308をアクセスできる。

#### CPUバス302と制御メモリアクセスバス306間のバッファ402を介した制御メモリアクセスサイクルの関係

次に、CPUバス302と制御メモリアクセスバス306間のバッファ402を介した制御メモリアクセスサイクルのタイミング関係について説明する。

【0134】バッファ402を介して制御メモリ308がアクセスされる場合は、前述したように制御メモリ308内のページ状態データがアクセスされる場合である。この場合のタイミング関係については、特には図示しないが、実ページアドレスデータのアクセスの場合と同様、制御メモリ308は、図4のアドレスセレクタ412を介してアドレスが指定された場合に、そのアドレスが指定されたバスサイクルと同じバスサイクル内でペ

ージ状態データの授受を行うことが可能となる。

【0135】そして、まず、制御メモリ308内のアドレスセレクタ412は、実ページアドレスデータのアクセスの場合と同様、例えばクロックB2CLKがハイレベルである期間内のクロックBCLKの立上りタイミングから始まるバスサイクルにおいて、それと同じバスサイクルで例えばCPUバス302のアドレスバス部分409に指定されている制御メモリアドレス（仮想ページアドレス）を制御メモリ308内の特には図示しないアドレスレジスタにラッチする。

【0136】上述の制御メモリアドレスがラッチされたバスサイクルと同じバスサイクルにおいて、#0のVMC401の制御回路503は、特には図示しない制御線を介してバッファ402を制御し、それに対してCPUバス302のデータバス部分405との間でページ状態データを授受させる。

【0137】一方、制御メモリ308内のアドレスセレクタ412は、実ページアドレスデータのアクセスの場合と同様、例えばクロックB2CLKがローレベルである期間内のクロックBCLKの立上りタイミングから始まるバスサイクルにおいて、それと同じバスサイクルで例えば制御メモリアクセスバス306のアドレスバス部分410に指定されている制御メモリアドレス（仮想ページアドレス）を制御メモリ308内の特には図示しないアドレスレジスタにラッチする。

【0138】上述の制御メモリアドレスがラッチされたバスサイクルと同じバスサイクルにおいて、#1のVMC401の制御回路503は、特には図示しない制御線を介してバッファ402を制御し、それに対して制御メモリアクセスバス306のデータバス部分406との間でページ状態データを授受させる。

【0139】以上の動作からわかるように、ページ状態でに関して、CPUバス302及び制御メモリアクセスバス306は、実ページアドレスデータのアクセスの場合と同様、最短で1バスサイクルで制御メモリ308をアクセスできる。アクセスが複数バスサイクルに渡る場合、#0及び#1のVMC401がそれぞれ1バスサイクルおきに交互に制御メモリ308をアクセスできる。

#0又は#1のVMC401内のアクセスの競合の調停制御  
例えば、CPU313が実メモリ307をアクセスすると同時に、ネットワーク制御回路310が制御メモリ308内の実ページアドレスデータをアクセスする場合には、#0のVMC401内の制御回路503は、ローカルバスインタフェース501を実メモリインタフェース506に接続し、ネットワークデータバスインタフェース502を制御メモリインタフェース507に接続することによって、CPU313による実メモリ307のアクセスとネットワーク制御回路310による制御メモリ308のアクセスを同時に行わせることができる。

【0140】同様にして、CPU313による制御メモ

25

リ308のアクセスとネットワーク制御回路310による実メモリ307のアクセス、プロセッサバスインターフェース312による実メモリ307のアクセスとネットワーク制御回路310による制御メモリ308のアクセスも同時に行わせることができる。

【0141】一方、#0のVMC401内で、CPUバス302とネットワークデータ送信バス305との間で、実メモリ307に対して同時にアクセスの競合が発生した場合、又は#1のVMC401内で、外部バス301とネットワークデータ受信バス304との間で、実メモリ307に対して同時にアクセスの競合が発生した場合には、図5の制御回路503は、所定の調停アルゴリズムに従って競合の調停制御を行い、制御線504を介してローカルバスインターフェース501又はネットワークデータバスインターフェース502の何れか一方の動作を優先させる。

【0142】また、#0のVMC401内で、CPUバス302とネットワークデータ送信バス305との間で、制御メモリ308に対して同時にアクセスの競合が発生した場合、又は#1のVMC401内で、外部バス301とネットワークデータ受信バス304との間で、制御メモリ308に対して同時にアクセスの競合が発生した場合には、制御回路503は、前述したようにクロックB2CLKに基づいて、制御線504を介してローカルバスインターフェース501又はネットワークデータバスインターフェース502の何れか一方の動作を交互に優先させる。

#### 実メモリアクセスの具体例

最後に、CPU313が実メモリ307から実メモリデータを取得する場合のタイミング例を、図8のタイミングチャートを使用して説明する。

【0143】図8において、斜線が付された期間は、信号のなまり又はバス遅延などに基づいて信号の変動し得る範囲である。また、図6(d), (i), (j)に示される各信号は、ローレベルになったときにアクティブになるものとする。

【0144】図8(a)は、図7(a)と同様、システムクロックCLK(Φ1, Φ2)を示し、図8(b)は、図8(b)と同様、CLKに基づいて生成されるクロックBCCLKを示し、「↑」で挟まれた各区間がバスサイクルを示す。

【0145】まず、CPUバス302のアドレスバスにおいてCPU313によって指定されたアドレスが図8(c)に示されるように確定する。その後、CPUバス302のアドレスストローブ信号AS-が図8(d)に示されるようにアクティブになり、また、適当な遅延時間の後に、CPUバス302のデータストローブ信号DS-が図8(i)に示されるようにアクティブになる。

【0146】アドレスストローブ信号AS-がアクティブとなっている第n番目のバスサイクルにおいて、上述の

30

26

CPUバス302に指定されたアドレスが#0のVMC401内のローカルバスインターフェース501(図5参照)に取り込まれた後、同じバスサイクルにおいて、図8(e)に示されるように、#0のVMC401内の実メモリインターフェース506からアドレスバス407に出力される。そして、同じバスサイクル内の後半期間で、図8(e)に示されるように、アドレスバス407上の上述のアドレスが確定する。

【0147】これに同期して、図4の実メモリ307内のアドレスセレクタ411は、アドレスバス407に第n番目のバスサイクルのアドレスが出力されたバスサイクルの次のバスサイクルの先頭タイミングで、図8(f)に示されるように、アドレスバス407上の第n番目のバスサイクルのアドレスをラッチし、適当な遅延時間の後に、そのラッチ内容が確定する。

【0148】そして、上述のアドレスラッチ動作が行われたバスサイクルと同じバスサイクルにおいて、図8(g)に示されるように、実メモリ307から前述した第n番目のバスサイクルのアドレスに対応する実メモリデータがデータバス403に出力され、そのバスサイクルの後半期間でその内容が確定する。

【0149】#0のVMC401の制御回路503(図5参照)は、制御線505を介して実メモリインターフェース506を制御し、それに対してデータバス403上の実メモリデータを取り込ませ、更に、制御回路503は、制御線504を介してローカルバスインターフェース501を制御し、それに対して実メモリインターフェース506から上述の実メモリデータを転送させる。

【0150】この結果、ローカルバスインターフェース501は、図8(j)に示されるように、適当な遅延時間の後に、CPUバス302上のデータコンプリート信号DS-をアクティブにし、CPUバス302上のデータバスに、図8(h)に示されるように、適当な遅延時間の後に、第n番目のバスサイクルのアドレスに対応する実メモリデータを出力する。

【0151】CPU313は、CPUバス302上のデータコンプリート信号DS-がアクティブになってから適当な遅延時間の後、CPUバス302上のデータバスに出力された第n番目のバスサイクルのアドレスに対応する実メモリデータを処理し、図8(i)に示されるように、適当な遅延時間の後に、データストローブ信号DS-をインアクティブに戻す。

【0152】ここで、第n番目のバスサイクルのアドレスによって図8(f), (g)に示されるように実メモリ307がアクセスされるバスサイクルにおいて、図8(e)に示されるようにアドレスバス408上には#1のVMC401から第n+1番目のバスサイクルのアドレスが出力されており、その次のバスサイクルにおいて、上述の第n+1番目のバスサイクルのアドレスによって図8(f), (g)に示されるように実メモリ307がアクセスされ

50

る。

【0153】このように、#0と#1のVMC401は、それぞれ1バスサイクルおきに交互に実メモリ307をアクセスできる。

【0154】

【発明の効果】本発明によれば、複数のマスタデバイスと複数の分割メモリとの間でスイッチングを行うためのメモリアクセス回路を、複数のメモリ制御モジュールと複数の選択手段により構成することが可能となる。

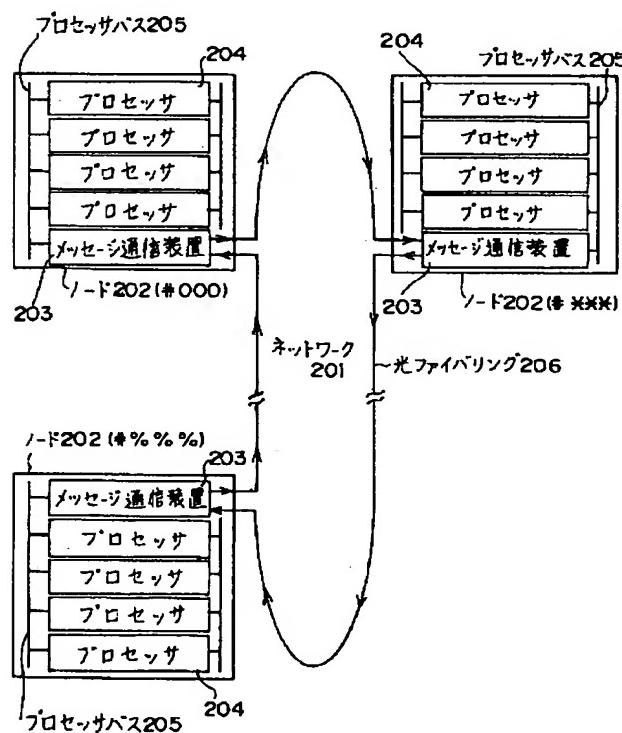
【0155】この結果、各メモリ制御モジュールをゲートアレイチップなどで容易に構成することが可能となり、しかも、複数のマスタデバイス間の競合の調停制御は各メモリ制御モジュールが行い、選択手段は、各メモリ制御モジュールにおける各分割メモリと対向するインターフェースを単純に順次選択するだけなので、全体のメモリアクセス制御を簡易に実現することが可能となる。

【0156】従って、任意のマスタデバイスが任意のメモリデバイスを高速にアクセスできる機能を、単純な回路構成かつ単純な制御で実現することが可能となる。更に、複数のマスタデバイスと複数の分割メモリを、システムの要求に応じて最適な形態で接続することが可能となる。

【図面の簡単な説明】

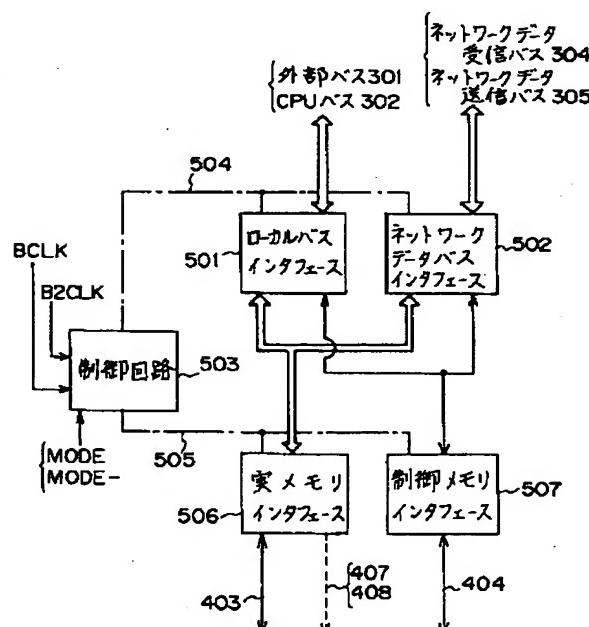
【図2】

### 本発明の実施例が適用されるネットワークの構成図



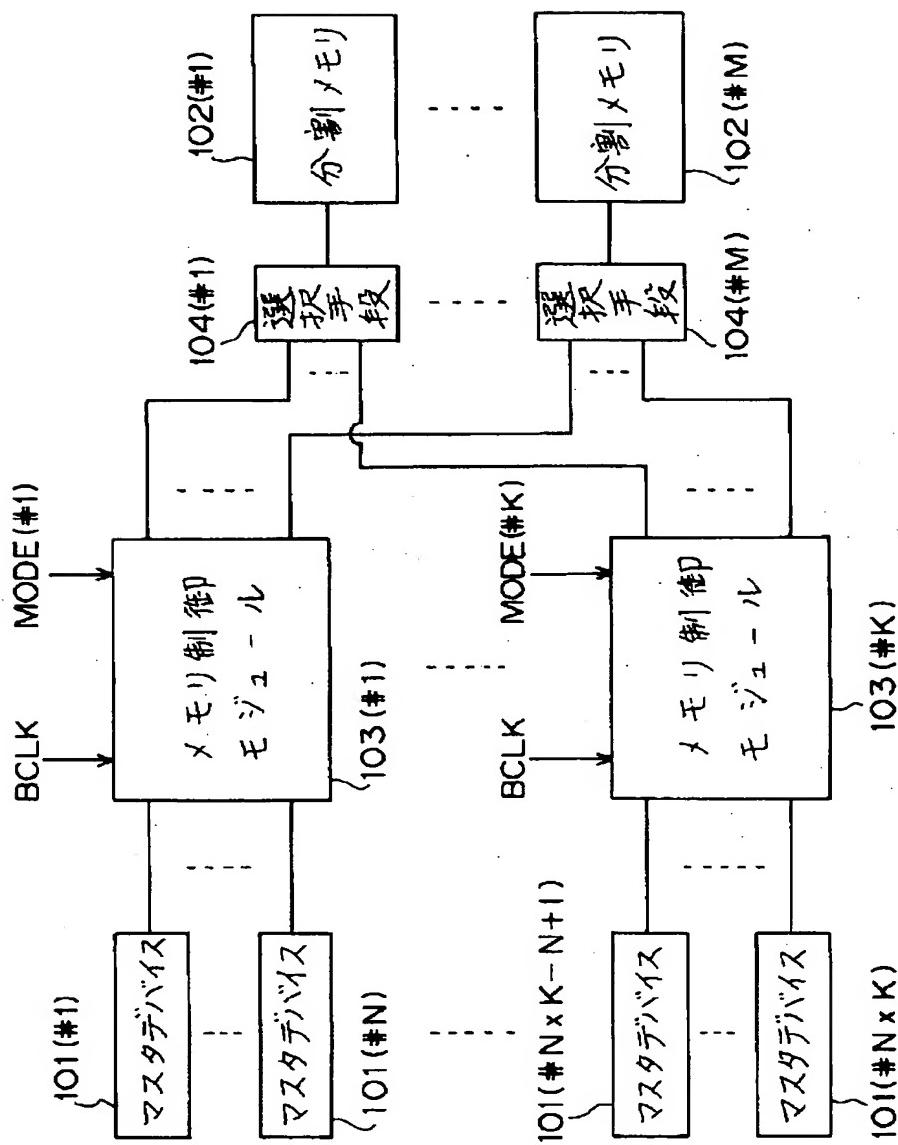
【図5】

### バーチャルメモリコントロールモジュールの構成図



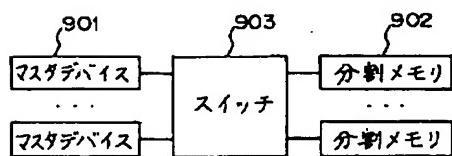
【図1】

## 本発明のブロック図



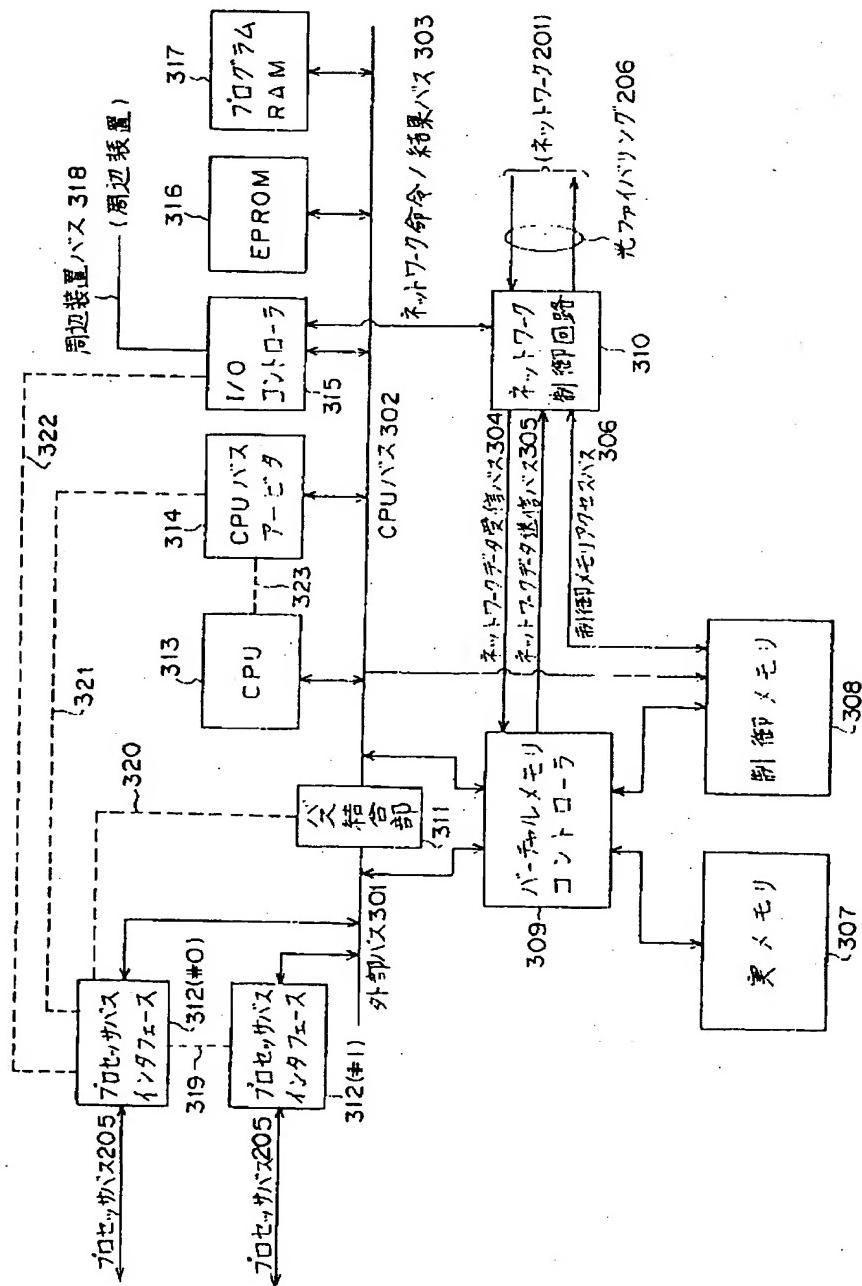
【図9】

## 従来技術の構成図

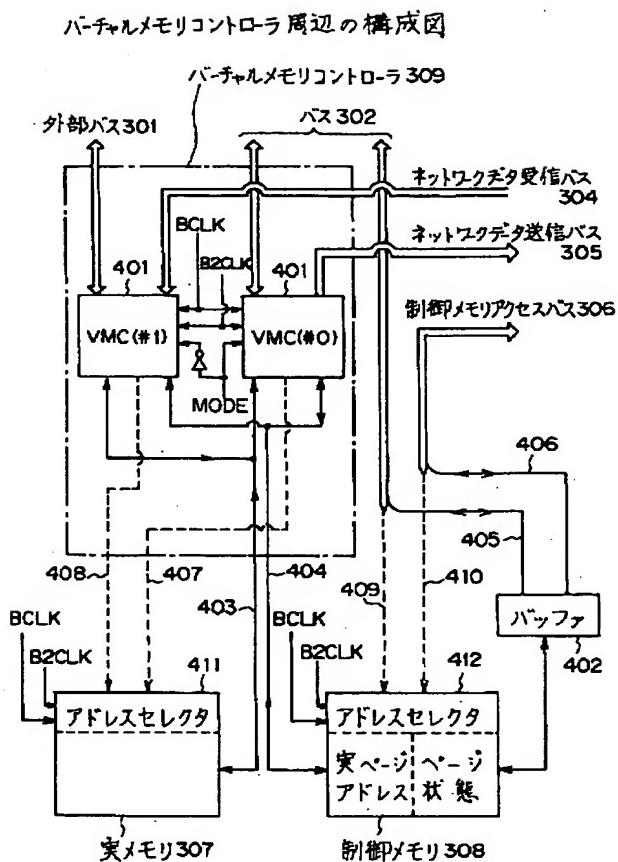


【图3】

## 本発明の実施例における メッセージ通信装置の構成図

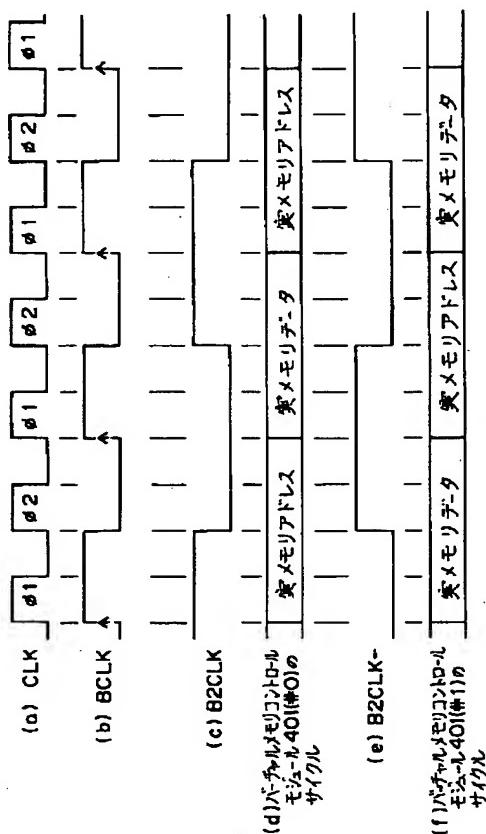


【図4】



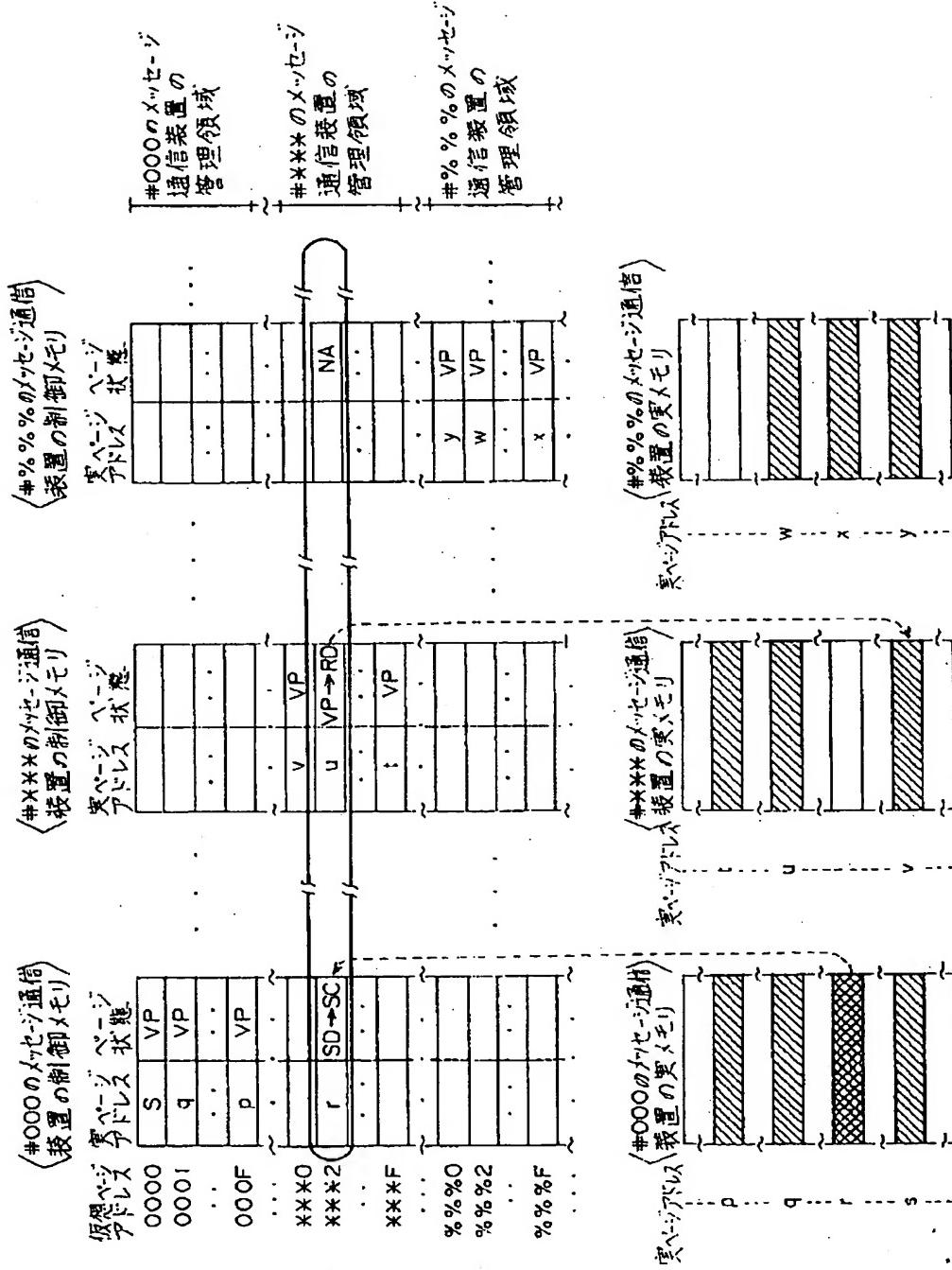
【図7】

実メモリアクセスのタイミングチャート例(その1)を示した図



【図6】

## メッセージ通信の説明図



【図8】

実メモリアクセスのタイミングチャート例(その2)を示した図

